



研究代表者

東京大学 門本 淳一郎 Junichiro Kadomoto

採択テーマ

SiC/GaNパワーエレクトロニクス向け超高速・超低遅延無線絶縁通信技術

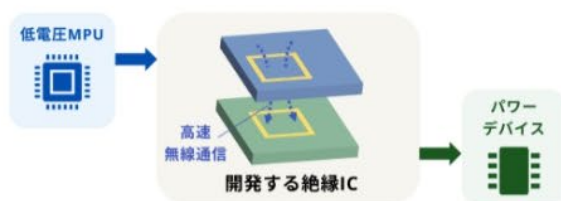
課題名

SiC/GaNパワーエレクトロニクス向け超高速・超低遅延無線絶縁通信技術

事業化推進機関

株式会社先端技術共創機構 (ATAC)

プロジェクトの概要



ヒューマノイドロボットをはじめとするフィジカルAIの普及に伴い、モータ制御・電力制御の高速化と高精度化が求められている。特にSiC/GaNパワー半導体を用いるパワーエレクトロニクス領域では、スイッチング速度がns級まで高速化しており、制御信号やセンサ信号を絶縁しながら低遅延に伝送する技術が機器性能を左右する。既存のフォトブラやデジタルアイソレータは通信速度が概ねMbps級にとどまり、この要求に応えることが難しい。本プロジェクトでは、独自の広帯域オンチップコイル構造と、これに最適化したシンプルなベースバンド通信方式を絶縁バリア越しの信号伝送へ応用し、Gbps級の超高速通信と5ns以下の超低遅延を両立する次世代絶縁ICを開発する。さらにADC・アンプ等とのマルチチップ化により絶縁半導体プラットフォームを構築し、世界市場への展開を目指すスタートアップを設立する。

ビジネスモデル(申請時)

パワーエレクトロニクス機器メーカーを顧客とし、絶縁ICを半導体部品として設計・販売するファブレスモデルを想定する。初期はアクティブゲートドライバなど、超高速・超低遅延が直接的な価値となる用途に絞って製品化し、その後、ADC・アンプ・ドライバ等と一体化したマルチチップ製品へ展開して付加価値を高める。あわせて、独自コイル構造および通信方式に関する知的財産のライセンス供与も収益源とする。

活動計画(申請時)

本プロジェクトは2026年度から2029年度にかけて、絶縁チップの技術実証から起業準備までを段階的に進める。研究開発では、初年度に通信速度・伝送遅延・ジッタ・耐ノイズ性・絶縁耐圧等の要求仕様を整理して絶縁チップを設計し、2年度に試作・製造、3年度にチップ単体の性能評価と評価ボードを用いたマルチチップ動作検証、4年度にマルチチップ状態での総合評価を実施する。目標性能は、Gbps級の通信速度、5ns以下の伝送遅延、CMTI耐性200kV/μs、絶縁耐圧3kVrms級である。事業開発では、初年度から顧客ヒアリングと競合ベンチマークを進めるとともに知財戦略を立案し、2年度以降はPoC実施企業の探索、特許出願、事業計画の立案を行う。3年度に経営体制および財務計画・資本政策を整備し、4年度に国際展開計画の立案とスタートアップの設立を行う。